

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

## **IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
008201092     \*\*Image available\*\*  
WPI Acc No: 1990-088093/199012

**BEST AVAILABLE CO.**

**Thin-film transistor matrix array for liquid-crystal display panel - has  
silicide layer on part of either row or column electrode wiring**

**NoAbstract Dwg 1/9**

Patent Assignee: HITACHI LTD (HITA )

Number of Countries: 001    Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2042419	A	19900213	JP 88193260	A	19880802	199012 B

Priority Applications (No Type Date): JP 88193260 A 19880802

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 2042419	A	5		

Title Terms: THIN; FILM; TRANSISTOR; MATRIX; ARRAY; LIQUID; CRYSTAL;  
DISPLAY; PANEL; SILICIDE; LAYER; PART; ROW; COLUMN; ELECTRODE; WIRE;  
NOABSTRACT

Derwent Class: P81; U11; U12; U14

International Patent Class (Additional): G02F-001/13; H01L-027/12;  
H01L-029/78

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03066919    \*\*Image available\*\*

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

PUB. NO.:    02-042419 [JP 2042419 A]

PUBLISHED:    February 13, 1990 (19900213)

INVENTOR(s): KAWACHI GENSHIROU

ONO KIKUO

MIMURA AKIO

KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:    63-193260 [JP 88193260]

FILED:    August 02, 1988 (19880802)

INTL CLASS:    [5] G02F-001/136; H01L-027/12; H01L-029/784

JAPIO CLASS:    29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R002 (LASERS); R003 (ELECTRON BEAM)

JOURNAL:    Section: P, Section No. 1041, Vol. 14, No. 201, Pg. 80, April  
24, 1990 (19900424)

#### ABSTRACT

PURPOSE: To improve working speed by using wiring made of silicide and to improve an element characteristic by a hydrogenization processing on an active matrix substrate by not forming a silicide on the surface of an area which functions as a gate electrode.

CONSTITUTION: On the active matrix substrate having a structure in which a scanning wiring is also the gate electrode of a thin-film transistor and the scanning wiring and a signal wiring are made of a silicide, the silicide is not formed in the part of the scanning wiring which functions as a gate electrode 4. That is to say, only a scanning wiring 101 and a signal wiring 102 are made of the silicide and the silicide does not exist in the upper part of the channel area of a thin-film semiconductor element 2. Consequently, even when the hydrogenization or fluorination processing is executed in order to activate the channel area, hydrogen or fluorine ions pass through the gate electrode and reach the channel area. Thus, the channel area is activated sufficiently and the element characteristic can be improved.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-42419

⑬ Int. Cl.<sup>3</sup>

G 02 F 1/136  
H 01 L 27/12  
29/784

識別記号

5 0 0

庁内整理番号

7370-2H  
7514-5F

⑭ 公開 平成2年(1990)2月13日

8624-5F H 01 L 29/78

3 1 1 A

審査請求 未請求 請求項の数 9 (全9頁)

⑮ 発明の名称 半導体装置およびその製造方法

⑯ 特 願 昭63-193260

⑰ 出 願 昭63(1988)8月2日

⑱ 発 明 者 河 内 玄 士 朗 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 小 野 記 久 雄 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 三 村 秋 男 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑱ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 平木 道人

明 細 書

1. 発明の名称

半導体装置およびその製造方法

2. 特許請求の範囲

(1) 絶縁性基板の主表面にマトリックス状に形成された薄膜半導体素子と、絶縁性基板の主表面に薄膜半導体素子に近接して形成され、該薄膜半導体素子の第1の電極に接続された半導体薄膜と、絶縁性基板の主表面に行方向に形成され、前記薄膜半導体素子のゲート電極を兼ねた行方向電極配線と、該行方向電極配線から絶縁されて絶縁性基板の主表面に列方向に形成され、前記薄膜半導体素子の第2の電極に接続された列方向電極配線とを具備し、前記行方向電極配線、列方向電極配線、並びに第1の電極および第2の電極のうちの少なくとも一部の表面にはシリサイドが形成された半導体装置において、

ゲート電極として機能する領域の少なくとも一部の表面にはシリサイドが形成されていないことを特徴とする半導体装置。

(2) 前記シリサイドが形成された部分は、シリサイドと半導体薄膜との積層であることを特徴とする特許請求の範囲第1項記載の半導体装置。

(3) 前記列方向電極配線と第2の電極とは同時に形成されることを特徴とする特許請求の範囲第1項または第2項記載の半導体装置。

(4) 前記薄膜半導体素子はFETであることを特徴とする特許請求の範囲第1項ないし第3項のいずれかに記載の半導体装置。

(5) 前記行方向電極配線と薄膜半導体素子のチャネル領域とは、互いに直行するように形成されることを特徴とする特許請求の範囲第1項ないし第4項のいずれかに記載の半導体装置。

(6) 絶縁性基板の主表面に第1の半導体薄膜をマトリックス状に形成する工程と、

前記絶縁性基板および第1の半導体薄膜の全面に第1の絶縁膜および第2の半導体薄膜を積層し、これらをエッチングしてゲート電極を兼ねる行方向電極配線を形成する工程と、

少なくとも前記ゲート電極の表面および側面に

保護膜を形成する工程と、

前記絶縁性基板および半導体薄膜の全面に金属薄膜を被着する工程と、

熱処理を施して金属薄膜をシリサイド化する工程と、

シリサイド化されなかった金属薄膜を去除する工程と、

これらの全面に第2の絶縁膜を形成する工程と、

第2の絶縁膜に前記第1の半導体薄膜とのコンタクト用孔を形成する工程と、

これらの全面に電極金属膜を形成する工程と、

前記電極金属膜を予定の形状にエッチングして電極金属を形成する工程とからなることを特徴とする半導体装置の製造方法。

(7) 絶縁性基板の主表面に、第1の半導体薄膜をマトリックス状に形成する工程と、

前記絶縁性基板および第1の半導体薄膜の全面に第1の絶縁膜、第2の半導体薄膜、および保護膜を積層する工程と、

後にゲート電極となる第2の半導体薄膜の上部

を残して前記保護膜をエッチングする工程と、

これらの全面に金属薄膜を形成する工程と、

熱処理を施して該金属薄膜をシリサイド化する工程と、

シリサイド化されなかった金属薄膜を去除する工程と、

前記第2の半導体薄膜の上部を残された保護膜を去除する工程と、

前記シリサイド、半導体薄膜、および第1の絶縁膜を、前記絶縁性基板または半導体薄膜が露出するまでエッチングしてゲート電極および行方向電極配線を形成する工程と、

これらの全面に第2の絶縁膜を形成する工程と、

第2の絶縁膜に前記第1の半導体薄膜とのコンタクト用孔を形成する工程と、

これらの全面に電極金属膜を形成する工程と、

前記電極金属膜を予定の形状にエッチングして電極金属を形成する工程とからなることを特徴とする半導体装置の製造方法。

(8) 前記シリサイド化は、酸素雰囲気中での熱処

理によって行われることを特徴とする特許請求の範囲第6項または第7項記載の半導体装置の製造方法。

(9) 前記シリサイド化は、レーザービーム、電子ビーム、またはハロゲンランプ光の照射によって行われることを特徴とする特許請求の範囲第6項または第7項記載の半導体装置の製造方法。

### 3. 発明の詳細な説明

(産業上の利用分野)

本発明は、薄膜トランジスタ(以下、TFTと略する)を用いた液晶表示装置用の半導体装置に係り、特にアクティブマトリックス基板に好適な半導体装置に関する。

(従来の技術)

TFTを用いたアクティブマトリックス方式の液晶表示装置は、高画質化に適した方式として期待されている。液晶表示装置の画質向上に際しては画像の輝度の向上が重要であり、そのため、アクティブマトリックス基板においては開口率を大きくする事が必要となる。特に、画素が小型化す

ると開口率の確保は重要な課題となる。

この課題に対する技術的な解決策としては、配線の線幅等の加工寸法を微細化することと、第2図に示すような自己整合構造化によりコンタクトスルーホールを不要にすることの2つの方法が考えられる。

配線の微細化を実現するためには配線を低抵抗化する必要がある。従来、配線及びゲート電極材料としては、不純物を添加した多結晶Siが用いられていたが、微細化された配線で動作速度を高速化するためには配線の低抵抗化が必要となり、最近ではより抵抗の低いMo、W、Niなどの金属と、Siとの合金膜(以下、シリサイドと略する)が用いられるようになっている。

次に、第2図を用いてスルーホールを不要にする方法について説明する。

第2図(a)は走査配線101とTFTのゲート電極4とがコンタクトスルーホール20を介して接続させる例を示しており、マスク合わせの為の余裕を取るためかなり広い面積のデッドスパー

スが生じ、画素電極10の大きさが小さくなってしまふ。

これに対して、第2図(b)のように走査線101とTFTのゲート電極4とを1回のホット工程で自己整合的に形成すると、スルーホール形成のためのデッドスペースを減らすことができるため、開口率を向上させることができる。

(発明が解決しようとする課題)

しかしながら、上記のシリサイド配線技術を用いたTFT、特に能動層材料として多結晶半導体を用いたTFTに適用しようすると重大な問題が生ずる。以下この問題点に関して説明する。

一般に、多結晶半導体は結晶粒界中に原子の未結合手等に代表される構造欠陥を多数有し、この欠陥が素子特性を低下させる主要因となっている。これに対しては、HやFなどの一配位の原子により未結合手を終端したり、あるいは構造の歪みを緩和することで素子特性の向上を図る方法が知られている。

その技術的手段としてはHやFを含むプラズマ

中で基板を熱処理する方法が一般的である。この水素化或いはフッ素化処理は、多結晶材料をデバイスとして実用可能とする為には不可欠である。

この処理に際しては、TFTのゲート電極のHやFに対する透過性が、TFTの活性層に到達するHやFの量を決定するため、ゲート電極の膜厚や材料は非常に重要な因子である。

ゲート電極材料として多結晶Siを用いた場合のゲート電極膜厚と水素化処理の効果の関係については、例えば特願昭62-54044号公報に記載がある通り、ゲート電極膜厚が薄くなる程水素化効果は顕著である。

一方、水素化効果はゲート電極材料に対しても強く依存する。

第3図は、水素化処理前の能動層の特性④(点線)と、ゲート電極材料として①多結晶Si膜(実線)、②白金-シリサイド(Pt-Si: 2点鎖線)膜、③Al膜(1点鎖線)を用いて水素化処理した後の能動層の特性とをゲート電圧とドレイン電流との関係で示したものであり、このと

きのドレイン電圧は5V、チャネル幅/チャネル長は1である。

同図から明らかなように、ゲート電極に多結晶Siを用いたTFTでは水素化処理による特性改善①が顕著であるが、Alゲートでは特性改善③はほとんど見られず、Pt-Siゲートでも特性改善②はわずかである。

このような水素化効果の違いは、明らかにゲート電極材料の水素の透過性の違いによるものである。この理由は、Siのような共有結合性の物質では原子間距離が比較的大きく、HやFが原子間を拡散し易いのに対し、Alのような金属では最密充填の結晶構造をとるため原子間距離が小さく、HやFが拡散し難いためであると推察される。またPt-Siのような、金属と半導体との合金では、その性質は金属と半導体との中間的なものになるため、HやFの通し易さは多結晶Siよりは小さく、Alよりは大きくなっているものと思われる。

上記したことからわかるように、動作速度の向

上と素子特性の改善とを両立させるためには、配線のみをシリサイド化し、ゲート電極はシリサイド化しないようにしなければならない。

ところが、TFTの構造を開口率を向上させるために走査配線がゲート電極を兼ねるような自己整合構造とすると、走査配線とゲート電極とが同時に形成されるため、走査配線をシリサイド化すると、同時にゲート電極もシリサイド化されてしまい、上記したように能動層の活性化が行われず、素子特性の十分な改善がなされないという問題が生じる。

本発明の目的は上記した問題を解決し、自己整合配線構造により高い開口率を維持したアクティブマトリックス基板において、配線のシリサイド化による動作速度の向上と、水素化またはフッ素化処理による素子特性の改善とを達成することができる構造のアクティブマトリックス基板を提供することにある。

(課題を解決するための手段)

上記した問題点を解決するために、本発明は、

走査配線がTFTのゲート電極を兼ね、走査配線および信号配線の少なくとも一方がシリサイド化された構造を有するアクティブマトリックス基板において、走査配線のうち、ゲート電極として機能する部分の少なくとも一部にはシリサイドが形成されない構造とした点に特徴がある。

#### (作用)

上記した構成によれば、走査配線および信号配線のみがシリサイド化され、薄膜半導体素子のチャネル領域の上部にはシリサイドが存在しない。したがって、自己整合配線構造により高い開口率を維持したアクティブマトリックス基板において前記チャネル領域を活性化させるために水素化またはフッ素化処理を施した場合でも、水素またはフッ素イオンがゲート電極を通過してチャネル領域に達するので、チャネル領域の活性化が十分行われ素子特性を改善することができるようになる。

さらに、ゲート電極の表面の一部分のみにシリサイドを形成するようにしたので、チャネル領域の活性化を損なうことなく、動作速度をさらに向

上させることができるようになる。

#### (実施例)

以下、本発明の一実施例を図を用いて説明する。

第1図(a)は本発明の一実施例であるアクティブマトリックス基板の1セル分の平面図であり、同図(b)は同図(a)のA-B線断面図、同図(c)は同図(a)のC-D線断面図である。

同図において、絶縁性基板1の主表面には多結晶Siから成る素子領域2がマトリックス状に形成されており、該素子領域2の表面にはゲート絶縁膜3を介してゲート電極4が形成されている。

さらに、該ゲート絶縁膜3およびゲート電極4の表面および側面にはマスク $\text{SiO}_2$ 膜7が形成されており、該マスク $\text{SiO}_2$ 膜7の投影領域以外の素子領域2、すなわちドレイン領域5とソース領域5の表面、およびゲート電極4を除く走査配線101の表面にはシリサイド膜8が形成されている。

該シリサイド膜8には、層間絶縁膜9を介して信号配線102および両素電極10が接続されて

いる。

第4図は第1図に示したアクティブマトリックス基板の製造方法を説明するための断面図であり、同図中左半分は第1図のA-B線断面図、同図中右半分は第1図のE-F線断面図を示している。同図において、第1図または第2図と同一の符号は同一または同等部分を表している。

ガラス基板1上に能動層となる多結晶シリコン膜を減圧CVD法で1500Å堆積し、その後パターニングして素子領域2を形成する。次に、 $\text{SiO}_2$ 膜を常圧CVD法で1000Å、続いて多結晶Si膜を減圧CVD法で1500Å堆積し、その後パターニングしてゲート絶縁膜3、ゲート電極4及び走査配線101を形成する。

次に $\text{P}^+$ イオンを加速電圧20KV、ドーズ量 $5 \times 10^{15} \text{cm}^{-2}$ で注入した後600℃で8hr熱処理して、ソース電極5、ドレイン電極6、ゲート電極4、走査配線101を低抵抗化する[同図(a)]。

次に、常圧CVD法で $\text{SiO}_2$ 膜を1000Å堆積し、その後TFTのゲート電極4の上部及び側面以外の部分の $\text{SiO}_2$ 膜をホット・エッチングにより除去しマスク $\text{SiO}_2$ 膜7を形成する。

次に、スパッタ法によりPt膜11を全面に400Å堆積し[同図(b)]、その後、酸素雰囲気中で480℃、30分の熱処理を施してマスク $\text{SiO}_2$ 7の無い部分の多結晶Siの表面にPtシリサイド膜8を形成する。この時、素子領域2および走査配線101の表面は、最初に堆積されたPt膜11の膜厚とほぼ同じ厚さがシリサイド化され、更にその上にはPt膜11の膜厚の約2倍のシリサイド膜が形成される。

ここで、多結晶Si膜全てがシリサイド化されてしまうと、下地のガラス基板1との密着性が悪くなり、形成されたシリサイド膜がはがれやすくなってしまうため、Pt膜11の膜厚は多結晶Si膜の約1/2以下とする必要がある。

次に、熱王水で処理することによりシリサイド化されずに残ったPt膜11を選択的に除去する

【同図(c)】。

続いて、リン酸ガラス(PSG)を常圧CVD法により堆積して層間絶縁膜9を形成し、その後コンタクトスルーホールを開孔する。

次に、スパッタ法によりAl膜を6000Å堆積し、その後パターニングして信号配線102を形成する。

次に、基板を水素プラズマにさらして素子領域2に水素を導入して能動層30の欠陥を減少させる【同図(d)】。

最後にスパッタ法で酸化インジウム・スズ(ITO)膜を堆積し、その後パターニングして画素駆動電極10を形成してアクティブマトリックス基板は完成する【同図(e)】。

本実施例によれば、TFTのゲート電極4の上部にはシリサイド層が存在しないため、水素が能動層(チャネル領域)30に侵入して素子特性の改善が行なわれ、かつゲート電極4と走査配線101とがコンタクトスルーホールなしで接続されるため開口率を大きくできる効果がある。

堆積する【同図(a)】。

続いて、SiO<sub>2</sub>膜を1000Å堆積し、その後パターニングしてマスクSiO<sub>2</sub>膜7を形成する。次にスパッタ法でPt膜11を400Å堆積し【同図(b)】、酸素雰囲気中、480℃で30分熱処理してマスクSiO<sub>2</sub>膜7の無い部分の多結晶Si膜を選択的にシリサイド層8とする。

次に熱王水で処理してシリサイド化されずに残ったPt膜を除去し、更にフッ酸で処理してマスクSiO<sub>2</sub>膜7を除去する【同図(c)】。

次に、前記シリサイド層8、多結晶Si膜52およびSiO<sub>2</sub>膜51をパターニングしてTFTのゲート電極4、ゲート絶縁膜3及び走査配線101を形成する。

続いて、As<sup>+</sup>イオンを加速電圧30KV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 注入し、さらに600℃で熱処理してソース電極5、ドレイン電極6、ゲート電極4を低抵抗化する【同図(d)】。

以下、層間絶縁膜9堆積以降は第一の実施例と全く同様にしてアクティブマトリックス基板が完

上記の実施例では、走査配線101と、TFTのソース電極5およびドレイン電極6の一部とが同時にシリサイド化されるため、最初に堆積するPt膜11の膜厚は能動層2とゲート電極4の内での薄い方の膜厚の1/2程度が上限となる。しかし、TFTのオフ電流をできるだけ小さくするために能動層2を薄くした場合には、Pt膜11の膜厚もそれに伴って薄くしなければならない。ところが、このようにすると走査配線101上では十分な厚さのシリサイド層が得られず、配線の抵抗が十分低くならないという問題が生ずる。

そこで、この問題を解決し、能動層である多結晶Si膜2が薄くなった場合にも十分に低い配線抵抗が得られる構造として第2の実施例を、以下第5図に従って説明する。

#### 【実施例2】

ガラス基板1上に多結晶Si膜をLPCVD法で500Å堆積し、その後パターニングして素子領域2を形成する。次にSiO<sub>2</sub>膜51を1000Å、続いて多結晶Si膜52を1000Å

成する。

本実施例の方法では、TFTのソース電極5、ドレイン電極6は全くシリサイド化されない為、Pt膜11の膜厚を特に増やす必要はなく、十分に低い走査配線抵抗が得られる。

#### 【第3実施例】

また、開口率を更に大きくする場合場合には、第6図(a)、(b)に示すように走査電極101を素子領域2の能動領域(チャネル領域)と直交するように配置し、この走査電極101をTFTのゲート電極としても良い。この場合も前記第1、第2の実施例と同様にTFTの活性層の上部はシリサイド化せず、水素化処理による十分な素子特性向上を図るようにする。

#### 【第4実施例】

上記の3つの実施例では、TFTの活性層の上部のゲート電極4は半導体膜のみで構成されるものとして説明したが、より高速な動作が必要とされる場合には、ゲート電極を低抵抗化する必要がある。そのような場合には、TFTの活性層上部



のゲート電極の一部にシリサイド膜を形成するようにすればよい。

第7図(a)は、ゲート電極4の一部分のみにシリサイド膜8を形成した実施例の断面図、同図(b)はその平面図であり、前記と同一の符号は同一または同等部分を表わしている。

このような構造でも、水素はシリサイド膜8の間を通して能動層30に侵入できるため水素化処理が防げられる問題はない。

#### 【第5実施例】

また、本発明は、第8図に示したようにTFTのドレイン電極6と信号配線102とを一枚のホトマスクで同時に形成する場合にも適用することができる。この構造は第4図に示した製造工程に於いて、ホトマスクを一部変更するだけで製造できる。

以下、第8図の実施例の製造工程を第9図に従って説明する。なお、第9図において左半分は第8図のC-D線断面図であり、右半分はA-B線断面図である。

SiO<sub>2</sub>膜7の無い部分の多結晶Si2の表面にPtシリサイド層8を形成する。

次に、熱王水で処理することによりシリサイド化されずに残ったPt膜11を除去する【同図(c)】。

続いてPSG膜をAPCVD法で堆積して層間絶縁膜9を形成し、その後、コンタクトスルーホールをホト・エッチング工程により開孔する。

次に、スパッタ法でAl膜を6000Å堆積し、その後パターニングして走査配線101を形成する。

次に、基板を水素プラズマに曝して素子領域2に水素イオンを導入して能動層30の欠陥を減少させる【同図(d)】。

最後にスパッタ法でITO膜を堆積し、その後パターニングし画素駆動電極10を形成してアクティブマトリックス基板が完成する【同図(e)】。

本実施例によれば、TFTのゲート電極4は多結晶Si膜となるため、水素は十分能動層30ま

ガラス基板1上に多結晶Si膜をLPCVD法で3500Å堆積し、その後パターニングして素子領域2および信号配線102を形成する。

次に、SiO<sub>2</sub>膜をAPCVD法で1000Å、続いて多結晶Si膜をLPCVD法で1500Å堆積し、その後パターニングしてゲート絶縁膜3、ゲート電極4を形成する。

次にP<sup>+</sup>イオンを加速電圧20KV、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ で注入した後600℃で8時間熱処理して、ソース電極5、ドレイン電極6、ゲート電極4、信号配線102を低抵抗化する【同図(a)】。

次にAPCVD法でSiO<sub>2</sub>膜を1000Å堆積し、TFTのゲート電極4の上部と側面以外の部分のSiO<sub>2</sub>膜をホト・エッチング工程により除去し、マスクSiO<sub>2</sub>膜7を形成する。

次にスパッタ法によりPt膜11を全面に400Å堆積し【同図(b)】、その後酸素雰囲気中で480℃、30分の熱処理を施してマスク

で侵入し、良好な素子特性が得られる。また、TFTのドレイン電極6と信号配線102がコンタクトスルーホールなしで接続させるため開口率をさらに大きくできる効果がある。

以上の実施例では、金属硅化物膜にPtシリサイドを例にあげて説明したが、本発明の方法はPtシリサイドに限られず、他の金属の硅化物についても適用可能である。適用可能な金属材料に対しては金属に対するエッチング液にその金属の硅化物がエッチングされないことが必要である。具体的にはエッチング液に熱王水を用いた場合はPtの他にNi、Co、Pdを用いることができる。

また、以上の実施例ではシリサイド層8は酸素雰囲気中での熱処理により形成するものとして説明したが、本発明ではシリサイド層8はこれ以外の方法で形成しても良い。

例えばレーザ光、電子ビーム及びハロゲンランプ光等の照射により基板を加熱してシリサイド層を形成しても良い。

レーザ光を用いる場合は、例えば第4図に示した実施例においては、Pt膜11を堆積後XeClエキシマレーザ光を150mJ〜300mJ程度の強度で照射することにより、多結晶Si膜とPt膜とを反応させてシリサイド膜8を形成する。

電子ビームまたはハロゲンランプ光を照射する場合も全く同様にしてシリサイド膜を形成すればよい。

#### (発明の効果)

以上の説明から明かなように、本発明によれば、つぎのような効果が達成される。

(1) 走査配線および信号配線のみがシリサイド化され、ゲート電極はシリサイド化されない。したがって、薄膜半導体素子のチャネル領域(能動層)の上部にはシリサイドが存在せず、自己整合配線構造により高い開口率を維持したアクティブマトリクス基板において前記チャネル領域を活性化させるために水素化またはフッ素化処理を施した場合でも、水素またはフッ素イオンがゲート電極

を通過してチャネル領域に達するので、チャネル領域の活性化が十分行われ素子特性を改善することができるようになる。

(2) ゲート電極の表面の一部分のみにシリサイドを形成するようにしたので、チャネル領域の活性化を損なうことなく、動作速度をさらに向上させることができるようになる。

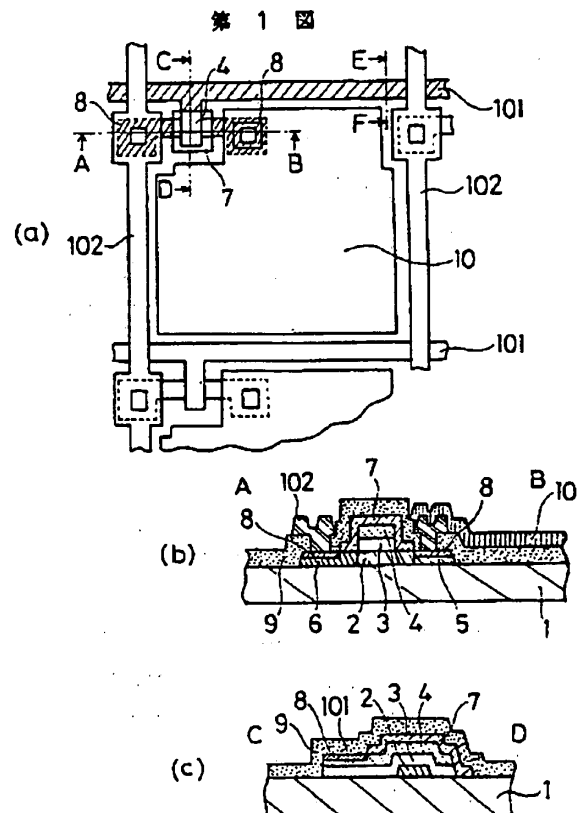
#### 4. 図面の簡単な説明

第1図(a)は本発明の一実施例であるアクティブマトリクス基板の1セル分の平面図、第1図(b)は同図(a)のA-B線断面図、第1図(c)は同図(a)のC-D線断面図、第2図(a)、(b)は従来技術のアクティブマトリクス基板の1セル分の平面図、第3図はゲート電極材質の違いによるTFTのドレイン電流とゲート電圧との関係を示した図、第4図は本発明の一実施例の製造工程を示した断面図、第5図は本発明の第2の実施例の製造工程を示した断面図、第6図(a)、(b)は本発明の第3の実施例の平面図、第7図(a)、(b)は、それぞれ本発明の第4の実施例の断面図および平

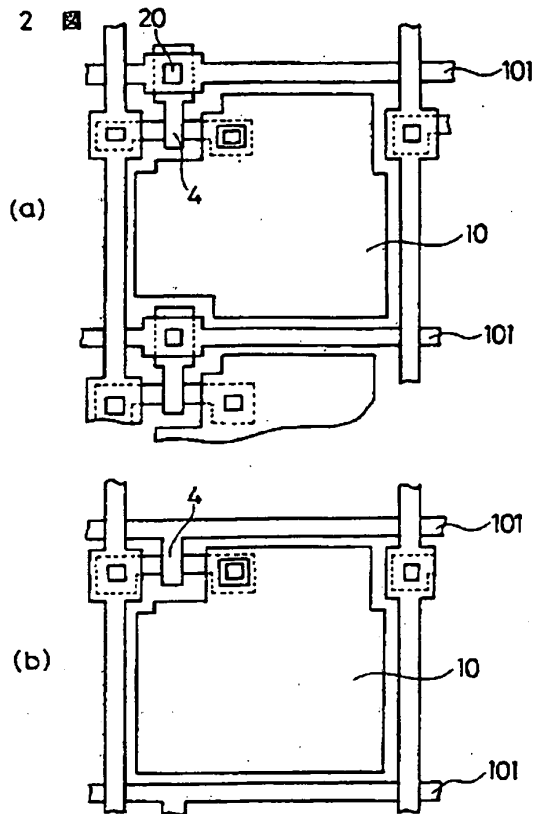
面図、第8図は本発明の第5の実施例の平面図、第9図は第8図のA-B線およびC-D線断面図である。

1…ガラス基板、2…素子領域、3…ゲート絶縁膜、4…ゲート電極、5…ソース電極、6…ドレイン電極、7…マスクSiO<sub>2</sub>膜、8…Pt-シリサイド膜、9…応開絶縁膜、10…画素電極、11…Pt膜、30…能動層(チャネル領域)、101…走査配線、102…信号配線、20…コンタクトスルーホール

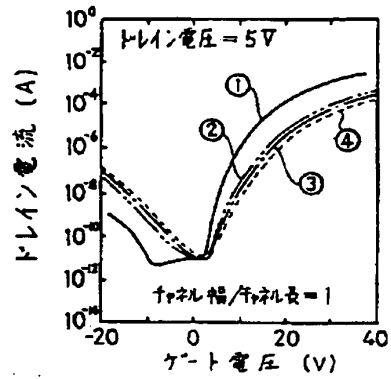
代理人弁理士 平木道人



第 2 図

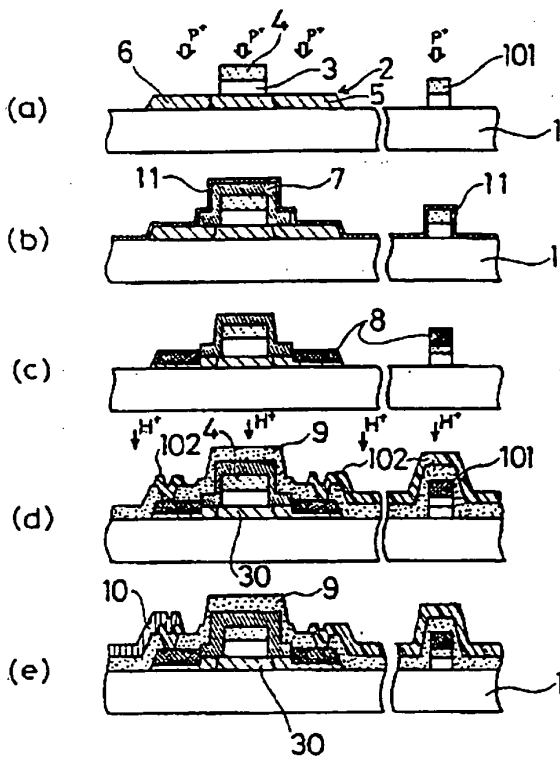


第 3 図

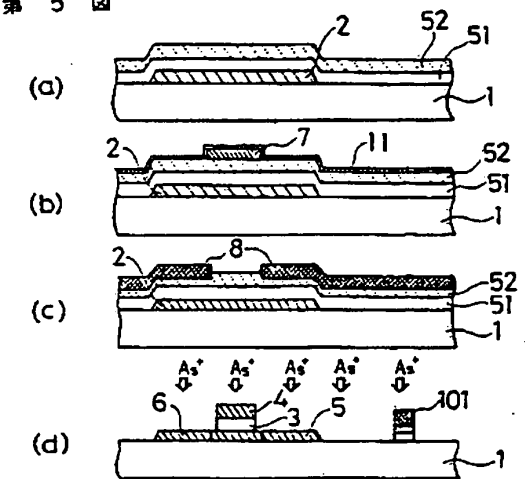


- ① ——— : 多結晶Si ゲート } TFTの水素化処理後の特性  
 ② - - - : Pt-Si ゲート  
 ③ - · - : Al ゲート  
 ④ ····· : 上記3つのTFTの水素化処理前の特性

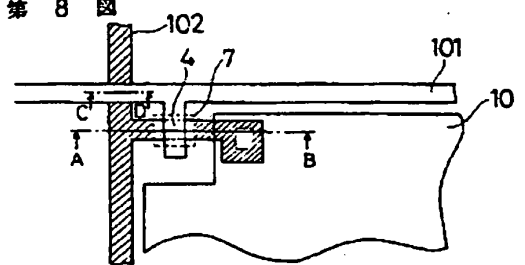
第 4 図



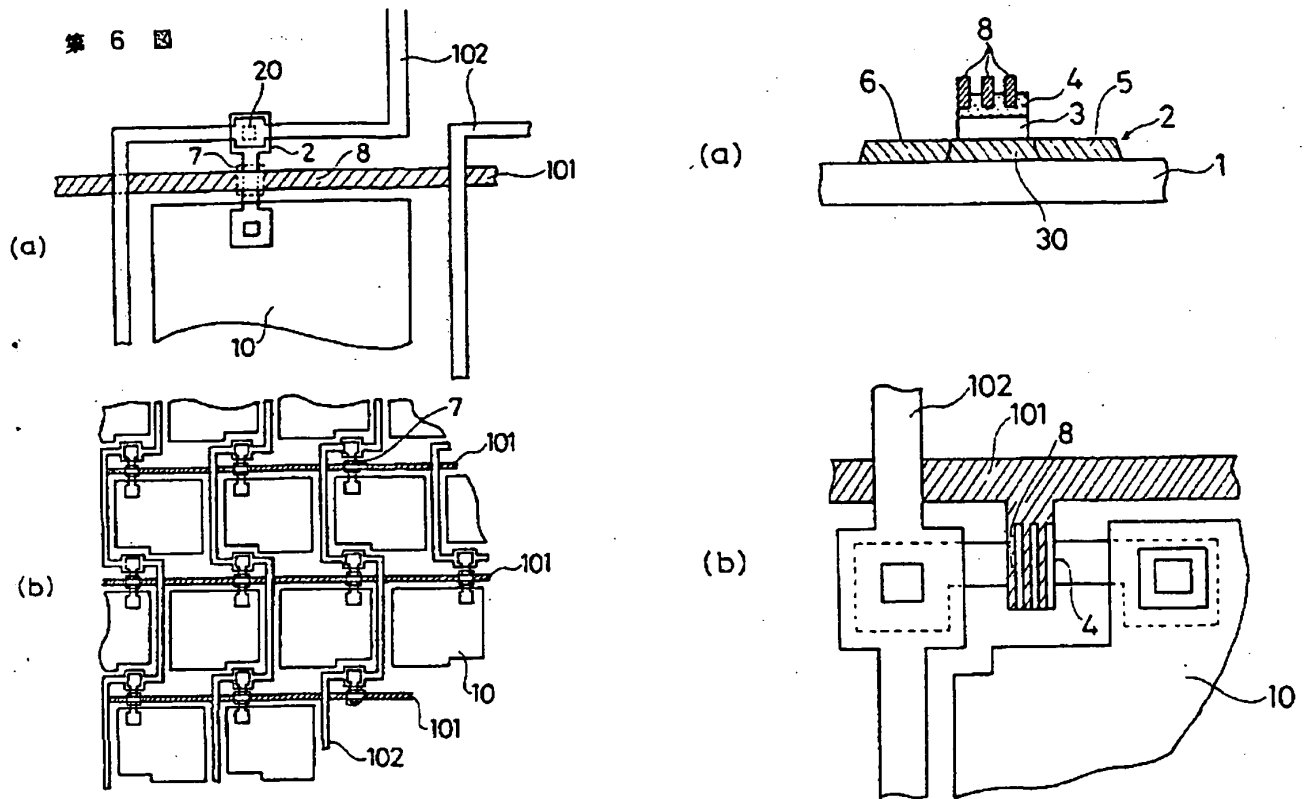
第 5 図



第 8 図



第 7 圖



第 9 圖

